**北京邮电大学2016——2017学年第一学期**

**《**数字逻辑与数字系统**》**期末考试试题（A）

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 考试注意事项 | 一、学生参加考试须带学生证或学院证明，未带者不准进入考场。学生必须按照监考教师指定座位就坐。  二、书本、参考资料、书包等物品一律放到考场指定位置。  三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。  四、学生必须将答题内容做在试题答卷上，做在草稿纸上一律无效。  五、学生的姓名、班级、学号、班内序号等信息由教材中心统一印制。 | | | | | | | | | |
| 考试  课程 | | **数字逻辑与数字系统** | | | 考试时间 | | 2017年1月11日 | | | |
| 题号 | | 一 | 二 | 三 | 四 | 五 | 六 | 七 | 八 | 总分 | |
| 满分 | | 10 | 20 | 5 | 35 | 10 | 10 | 10 |  |  |
| 得分 | |  |  |  |  |  |  |  |  |
| 阅卷  教师 | |  |  |  |  |  |  |  |  |

**一、填空题(每空1分，共10分)**

1、由n位寄存器组成的扭环型移位寄存器可以构成进制计数器。

2、卡诺图上变量的取值顺序是采用的形式，以便能够用几何上的相邻关系表示逻辑上的相邻。

3、给36个字符编码，至少需要**\_\_\_\_ \_\_\_\_\_\_**位二进制数。

4、如下图所示电路中， Y2 ＝。

*A*

*B*

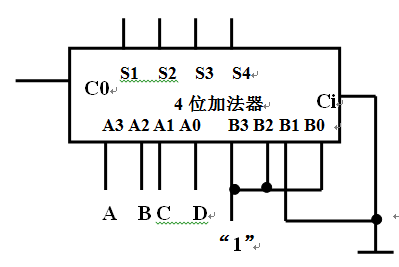
*Y1*

*Y2*

*Y3*

5、某RAM的地址线为11位，数据线为8位，则存储容量为KB。

6、如下图所示是一个用四位加法器构成的\_ 代码变换电路。



7、在函数F=AB+CD的真值表中，F=1的状态有个。

8、四位环型计数器初始状态是1000，经过5个时钟后状态为 **\_\_。**

9、十进制数86的8421BCD码为**\_\_ 。**

10、在vhdl语言中，设D0为'1', D1为'0', D2为'1', D3为'0'，则D3 & D2 & D1 & D0的运算结果是 。

**二、选择题(每题2分，共20分)**

1、要使JK触发器在时钟作用下的次态与现态相反，JK端取值应为**\_\_\_\_\_ \_\_\_**。

A．JK=00 B．JK=01 C．JK=10 D．JK=11

2、下列器件中，属于时序部件的是**\_\_\_\_ \_\_\_\_**。

A．计数器 B． 译码器 C． 加法器 D．多路选择器

3、一位十进制计数器至少需要**\_\_\_\_\_ \_\_\_\_\_**个触发器。

A．3 B．4 C．5 D．10

4、设，则它的非函数是\_\_ \_\_\_\_\_\_\_。

A.  B. 

C.  D. 

5、下图所示是共阴极七段LED数码管显示译码器框图，若要显示字符“5”，则译码器输出a～g应为\_\_\_\_ \_\_\_\_\_\_。

A．0100100 B．1100011 C．1011011 D．0011011

共阴极LED数码管

A B C D

**a b c d e f g**

**译码器**

**g**

**f**

**d**

**e**

**c**

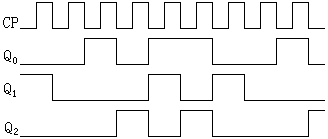
**a**

**b**

6、 在VHDL中，不属于并发语句的是。

A. 进程语句 B. CASE语句 C. 元件例化语句 D. WHEN..ELSE.. 语句

7、在某计数器的输出端观察到如图所示的波形，确定该计数器的模是 。



A．6 B. 5 C. 4 D. 7

**8**、设计一个四位二进制码的奇偶位发生器（假定采用偶检验码），需要个异或门。

A．2 B. 3 C. 4 D. 5

9、已知某触发器的时钟CP，异步置0端为RD，异步置1端为SD，控制输入端Vi和输出Q的波形如图所示，根据波形可判断这个触发器是。



A．上升沿D触发器 B．下降沿D触发器

C．下降沿T触发器 D．上升沿T触发器

10、下列表达式中存在竞争冒险的有。

A． B．

C． D．

**三、判断题 (每题1分，共5分)**

1、并行加法器采用先行进位（并行进位）的目的是简化电路结构。

2、优先编码器的编码输入信号是相互排斥的，不允许有多个编码信号同时有效。

3、二进制译码器相当于是一个最小项发生器，便于实现组合逻辑电路。

4、一个逻辑函数的全部最小项之积恒等于1。

5、在结构体中定义一个全局变量（Variable）,可以在所有进程中使用。

**四、简答题 (共35分)**

1、（5分）数字逻辑电路可以分为哪两种类型？请从功能和电路结构两个方面简述二者的主要区别。

2、（5分）试补充完整以下VHDL程序， 并说明该程序所实现的功能。

LIBRARY IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

ENTITY ent IS

PORT (G1,G2,G3: in STD\_LOGIC;

A: in STD\_LOGIC\_VECTOR(2 downto 0);

Y: out STD\_LOGIC\_VECTOR(0 to 7));

end ent;

ARCHITECTURE arch\_a OF ent IS

signal Y\_s: STD\_LOGIC\_VECTOR(0 to 7);

begin

process ( )

begin

case A is

when "000" => Y\_s <= "10000000";

when "001" => Y\_s <= "01000000";

when "010" => Y\_s <= "00100000";

when "011" => Y\_s <= "00010000";

when "100" => Y\_s <= "00001000";

when "101" => Y\_s <= "00000100";

when "110" => Y\_s <= "00000010";

when "111" => Y\_s <= "00000001";

when => Y\_s <= "00000000";

end case;

if (G1 and G2 and G3)='1' then Y <= Y\_s;

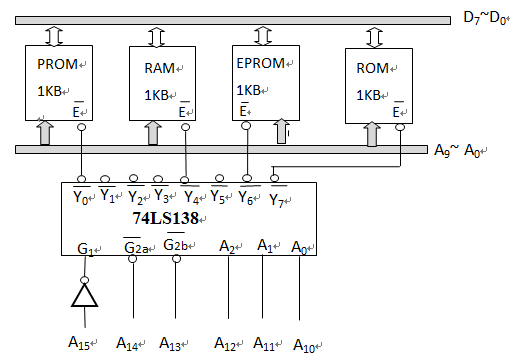
else Y <= "00000000";

end if;

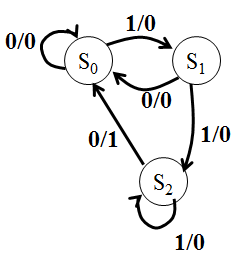
end process;

end arch\_a;

3、（5分） 如图所示电路中74LS138为3:8译码器，用16位地址总线A15~A0选择各存储器。要求：（1）分析74LS138的工作过程。（2）说明选择RAM芯片的地址范围，并用16进制数表示。



4、（10分）某状态机如图所示，（1）该状态机是米里型还是摩尔型；（2）说明状态机完成的逻辑功能；（3）用vhdl语言实现此状态机。



5、（10分）分析下图所示的同步时序电路；

J1

K1

Q1

K2

Q2

CLK

Q2

x

J2

1

1

Z

图10

(1) 写出该电路激励函数和输出函数；

(2) 写出状态转移表和状态图；

(3) 当x=1和x=0时，电路分别完成什么功能？

**五、设计题(10分)**

旅客列车分为特快A，直快B和慢车C，它们的优先顺序为：特快、直快、慢车。在同一时间内，只能有一趟列车从车站开出，即只能给出一个开车信号。设计满足上述要求的开车信号控制电路。

**1**．定义输入和输出逻辑变量；

**2**．列出真值表；

**3**．根据卡诺图写出输出最简“与或”表达式；

**4**．用适当门电路设计该电路

**六、综合题(10分)**

现有十进制同步计数器74LS162

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 74LS162功能表 | | | | | | | | | | | | |
| 输入 | | | | | | | | | 输出 | | | |
| Cr | LD | P | T | cp | D | C | B | A | QD | QC | QB | QA |
| L | × | × | × | ↑ | × | × | × | × | L | L | L | L |
| H | L | × | × | ↑ | D | C | B | A | D | C | B | A |
| H | H | H | H | ↑ | × | × | × | × | 计 数 | | | |

和八选一数据选择器74LS151两

种芯片，芯片上某些管脚已完成

连接。回答如下问题：

1. 如果74LS151的三个输入端

A2A1A0连接三个变量ABC，

写出输出Y的逻辑函数表达式；

2、采用适当的门电路、74LS162和74LS151进行正确连接，使得输出Y在CLK脉冲作用下输出11100101，说明设计过程，并画出完整连接图。

A2

A1

A0

74LS151

E

Y

F

1

D0

D1

D2

D3

D4

D5

D6

D7

0

1

01

0

1

1

0

1

QD QC QB QA

P

T

LD

Cr

cp

Vcc

CLK

## 74LS162

D

C

B

A

**七、小型控制器设计(10分)**

已知数据通路如图所示，要比较器寄存器A、B中的两个数，若(A)>(B)不做任何处理，如果(A)<(B)，将A与B中的两数进行交换。初始时A和B中已经存有数据。要求：

1. 门1、2为何种门？

A

C

比较器

CAP

LDC

LDA

LDB

B

A>B

控制器

1

2

2. 根据数据通路，设计控制器的ASM图；

3. 写出控制命令的表达式

4. 用D触发器实现计数型控制器。

（只需写出激励信号表达式，不用画电路图）